

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65502

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/08			H 0 3 K 5/08	T
G 0 1 R 19/165			G 0 1 R 19/165	A
H 0 3 K 17/30			H 0 3 K 17/30	E
H 0 3 M 1/34			H 0 3 M 1/34	

審査請求 未請求 請求項の数14 FD (全 14 頁)

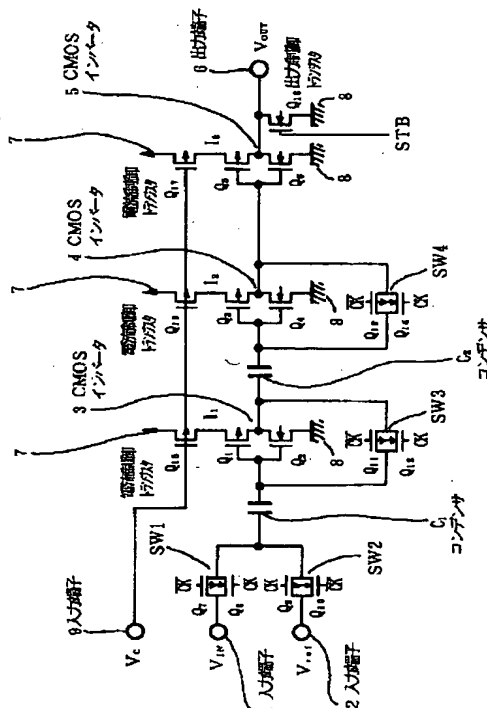
(21)出願番号	特願平8-234752	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)8月16日	(72)発明者	藤野 伸一郎 長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内
		(74)代理人	弁理士 杉浦 正知

(54) 【発明の名称】 チョッパーコンパレータおよびA/Dコンバータ

(57) 【要約】

【課題】 消費電流を犠牲にすることなく、必要な変換速度で実現することができるチョッパコンパレータおよびそのようなチョッパコンパレータを用いたA/Dコンバータを提供する。

【解決手段】 CMOSインバータ3～5と電源電圧V<sub>DD</sub>を供給する電源7との間に、pチャネルMOSFETからなる電流制御トランジスタQ<sub>15</sub>～Q<sub>17</sub>を接続してチョッパコンパレータを構成し、電流制御トランジスタQ<sub>15</sub>～Q<sub>17</sub>のゲートに、CMOSインバータ3～5を流れる電流を制御するための制御信号V<sub>C</sub>を供給する。A/Dコンパレータを構成する場合は、このチョッパコンパレータを用いる。



## 【特許請求の範囲】

【請求項1】 少なくとも1段以上のCMOSインバータを有するチョッパコンパレータにおいて、上記CMOSインバータと上記CMOSインバータの電源との間に上記CMOSインバータを流れる電流を制御する電流制御手段が接続されていることを特徴とするチョッパコンパレータ。

【請求項2】 最終段の上記CMOSインバータの出力端子と上記CMOSインバータの上記電源との間に上記チョッパコンパレータの出力を制御する出力制御手段が接続されていることを特徴とする請求項1記載のチョッパコンパレータ。

【請求項3】 上記電流制御手段はMIS型電界効果トランジスタからなり、上記MIS型電界効果トランジスタのゲートに電流制御信号が供給されることを特徴とする請求項1記載のチョッパコンパレータ。

【請求項4】 上記電流制御手段は、上記CMOSインバータと上記CMOSインバータの第1の電源との間に接続された第1導電型チャネルのMIS型電界効果トランジスタからなり、上記出力制御手段は、上記最終段の上記CMOSインバータの出力端子と上記CMOSインバータの第2の電源との間に接続された第2導電型チャネルのMIS型電界効果トランジスタからなることを特徴とする請求項2記載のチョッパコンパレータ。

【請求項5】 上記電流制御手段は、上記CMOSインバータと上記CMOSインバータに第1の電源電圧を供給する電源との間に接続されたpチャネルMIS型電界効果トランジスタからなり、上記出力制御手段は、上記最終段の上記CMOSインバータの出力端子と上記CMOSインバータに第2の電源電圧を供給する電源との間に接続されたnチャネルMIS型電界効果トランジスタからなることを特徴とする請求項4記載のチョッパコンパレータ。

【請求項6】 上記電流制御手段は、上記CMOSインバータと上記CMOSインバータに第3の電源電圧を供給する電源との間に接続されたnチャネルMIS型電界効果トランジスタからなり、上記出力制御手段は、上記最終段の上記CMOSインバータの出力端子と上記CMOSインバータに第4の電源電圧を供給する電源との間に接続されたpチャネルMIS型電界効果トランジスタからなることを特徴とする請求項4記載のチョッパコンパレータ。

【請求項7】 上記電流制御手段は、上記CMOSインバータと上記CMOSインバータの上記電源との間に並列に接続された複数のMIS型電界効果トランジスタからなり、上記複数のMIS型電界効果トランジスタのそれぞれのゲートに、異なる上記電流制御信号が供給されることを特徴とする請求項3記載のチョッパコンパレータ。

【請求項8】 上記チョッパコンパレータは、サンプリング期間に自己オフセット補償が行なわれる第1のCMOSインバータと自己オフセット補償が行なわれない第2のCMOSインバータとを有し、上記第1のCMOSインバータおよび上記第2のCMOSインバータのそれぞれに、上記電流制御手段が接続されていることを特徴とする請求項1記載のチョッパコンパレータ。

【請求項9】 上記第2のCMOSインバータに接続された上記電流制御手段は、上記サンプリング期間に上記第2のCMOSインバータを流れる電流を遮断することを特徴とする請求項8記載のチョッパコンパレータ。

【請求項10】 上記サンプリング期間に、互いに隣接する上記第1のCMOSインバータの出力端子と上記第2のCMOSインバータの入力端子との間が遮断されるとともに、上記第2のCMOSインバータの上記入力端子が所定の電圧に印加されることを特徴とする請求項8記載のチョッパコンパレータ。

【請求項11】 少なくとも1段以上のCMOSインバータを有するチョッパコンパレータにおいて、上記CMOSインバータと上記CMOSインバータの電源との間に上記CMOSインバータを構成するnチャネルMOS型電界効果トランジスタのソースおよびドレイン間の電圧を上記CMOSインバータの電源の電圧よりも低く制御するための手段が接続されていることを特徴とするチョッパコンパレータ。

【請求項12】 少なくとも1段以上のCMOSインバータを有し、上記CMOSインバータと上記CMOSインバータの電源との間に上記CMOSインバータを流れる電流を制御する電流制御手段が接続されたチョッパコンパレータと、外部から供給される選択信号に応じて上記電流制御手段を制御するための電流制御信号を発生する手段とを有することを特徴とするA/Dコンバータ。

【請求項13】 上記A/Dコンバータはフラッシュ型であることを特徴とする請求項12記載のA/Dコンバータ。

【請求項14】 上記A/Dコンバータは2ステップ・フラッシュ型であることを特徴とする請求項12記載のA/Dコンバータ。

【請求項15】 上記A/Dコンバータは2ステップ・フラッシュ型であることを特徴とする請求項12記載のA/Dコンバータ。

【請求項16】 上記A/Dコンバータは2ステップ・フラッシュ型であることを特徴とする請求項12記載のA/Dコンバータ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はチョッパコンパレータおよびA/Dコンバータに関する。

【0002】

【従来の技術】 近年の半導体プロセスの微細化の進歩によるシステム・オン・シリコンの流れの中で、高速のA/Dコンバータを大規模集積回路(LSI)に内蔵する要求が強くなっている。いわゆる高速のA/Dコンバータといっても、その変換周波数は数MHzから数十MHzまで用途によって異なっている。このような高速のA/Dコンバータとしては、入力されたアナログ信号を並

列に $n$ ビットのデジタル信号に変換するフラッシュ型のA/Dコンバータや、上位ビットと下位ビットとの二段階にわけて変換する2ステップ・フラッシュ型のA/Dコンバータなどが知られている。

【0003】図9は、従来のフラッシュ型や2ステップ・フラッシュ型のA/Dコンバータに用いられる、従来のチョッパコンパレータを示す回路図である。図9に示すように、この従来のチョッパコンパレータは、アナログ入力電圧 $V_{IN}$ 用の入力端子101、基準電圧 $V_{ref}$ 用の入力端子102、3段のCMOSインバータ103～105、出力電圧 $V_{OUT}$ 用の出力端子106、コンデンサ $C_1$ 、 $C_2$ およびCMOSアナログスイッチからなるスイッチ $SW_1$ ～ $SW_4$ を有している。入力端子101、102は、スイッチ $SW_1$ 、 $SW_2$ を介してコンデンサ $C_1$ の一端と接続されている。このコンデンサ $C_1$ の他端は、CMOSインバータ103の入力端子と接続されている。CMOSインバータ103の出力端子は、コンデンサ $C_2$ を介してCMOSインバータ104の入力端子と接続されている。CMOSインバータ103の入出力端子間はスイッチ $SW_3$ を介して接続されている。同様に、CMOSインバータ104の入出力端子間はスイッチ $SW_4$ を介して接続されている。CMOSインバータ104の出力端子はCMOSインバータ105の入力端子と接続されている。CMOSインバータ105の出力端子は出力電圧 $V_{OUT}$ 用の出力端子106と接続されている。

【0004】符号107は電源電圧 $V_{DD}$ を供給する電源、108は電源電圧 $V_{SS}$ を供給する電源を示す。また、符号 $Q_{101}$ ～ $Q_{106}$ は、CMOSインバータ103～105を構成するトランジスタを示す。この場合、トランジスタ $Q_{101}$ 、 $Q_{103}$ 、 $Q_{105}$ は負荷トランジスタとしてのpチャネルMOSFET、トランジスタ $Q_{102}$ 、 $Q_{104}$ 、 $Q_{106}$ はドライバトランジスタとしてのnチャネルMOSFETである。

【0005】また、符号 $Q_{107}$ ～ $Q_{114}$ は、スイッチ $SW_1$ ～ $SW_4$ を構成するトランジスタを示す。これらのトランジスタ $Q_{107}$ ～ $Q_{114}$ には、クロック信号 $CK$ または反転クロック信号 $CK$ バーが供給され、これにより、スイッチ $SW_1$ ～ $SW_4$ の開閉が制御されている。この場合、スイッチ $SW_1$ 、 $SW_3$ 、 $SW_4$ は、クロック信号 $CK$ がハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。一方、スイッチ $SW_2$ は、クロック信号 $CK$ がローレベルの期間にオン状態となり、ハイレベルの期間にオフ状態となる。

【0006】ここで、上述のように構成された従来のチョッパコンパレータの動作について説明する。すなわち、このチョッパコンパレータにおいては、クロック信号 $CK$ がハイレベルになると、スイッチ $SW_1$ 、 $SW_3$ 、 $SW_4$ がオン状態、スイッチ $SW_2$ がオフ

状態となる。この期間は、入力端子101からのアナログ入力電圧 $V_{IN}$ がコンデンサ $C_1$ に供給されてサンプリングされるとともに、CMOSインバータ103、104の自己オフセットキャンセルが行なわれる。このサンプリング期間は、原理的にCMOSインバータ103～105を所定の動作電流 $I_1$ ～ $I_3$ が流れる。このときの動作電流 $I_1$ ～ $I_3$ は、CMOSインバータ103～105の入出力端子が等電位となるとときに、これらのCMOSインバータ103～105を流れる直流電流に相当する。

【0007】次に、クロック信号 $CK$ がローレベルになると、スイッチ $SW_1$ 、 $SW_3$ 、 $SW_4$ がオフ状態、スイッチ $SW_2$ がオン状態となる。この期間は、入力端子102からの基準電圧 $V_{ref}$ がコンデンサ $C_1$ に供給され、さきにサンプリングされたアナログ入力電圧 $V_{IN}$ と基準電圧 $V_{ref}$ との大小が比較される。そして、このときコンデンサ $C_1$ に加わる電圧が、CMOSインバータ103により反転される。さらに、CMOSインバータ103の出力がCMOSインバータ104、105により増幅されて、出力端子106から出力電圧 $V_{OUT}$ として出力される。この場合、 $V_{IN} \geq V_{ref}$ なら、「1」に対応した出力電圧 $V_{OUT}$ が出力され、 $V_{IN} < V_{ref}$ なら、「0」に対応した出力電圧 $V_{OUT}$ が出力される。この比較期間は、CMOSインバータ103～105の動作電流 $I_1$ ～ $I_3$ はほぼゼロとなる。以下、クロック信号 $CK$ とともに、上述のサンプリング動作および比較動作が繰り返される。

【0008】図10は、この従来のチョッパコンパレータの動作に伴う消費電流を示す略線図である。ここで、図10Aはクロック信号 $CK$ の波形を示し、図10Bは消費電流の波形を示す。この従来のチョッパコンパレータにおいては、CMOSインバータ103～105の動作電流 $I_1$ ～ $I_3$ 以外に、ほとんど電流が消費されない。したがって、図10に示すように、この従来のチョッパコンパレータの消費電流は、CMOSインバータ103～105の動作電流 $I_1$ ～ $I_3$ の合計 $I_1 + I_2 + I_3$ となる。

【0009】 $n$ ビットのフラッシュ型A/Dコンバータは、上述の従来のチョッパコンパレータを $2^n - 1$ 個、 $n$ ビットの2ステップ・フラッシュ型A/Dコンバータは、上述の従来のチョッパコンパレータを $(2^{n/2} - 1) + 2(2^{n/2} - 1 + a)$ 個（ただし、 $a$ は補正ビット数）用いて構成されている。具体的には、例えば、ビデオ用の8ビット2ステップ・フラッシュ型のA/Dコンバータの場合、チョッパコンパレータの個数は合計57個（ただし、補正ビット数 $a$ を3とした場合）となる。

【0010】

【発明が解決しようとする課題】ところで、上述の従来のチョッパコンパレータにおいては、通常、CMOS

インバータ3～5の動作電流 $I_1 \sim I_3$ が大きいかほど、すなわち、消費電流が大きいかほど、CMOSインバータ103～105のゲインが大きくなる。一方で、これらのCMOSインバータ103～105のゲインは、チョッパコンパレータの変換速度を決定している。このため、従来のチョッパコンパレータにおいては、変換速度が決定されると自ずと消費電流が決定されていた。

【0011】しかしながら、上述のように、多数の従来のチョッパコンパレータを用いて構成される従来のA/Dコンバータでは、次のような問題があった。すなわち、A/Dコンバータに低消費電力での動作が要求される場合には、チョッパコンパレータ単体の消費電流を低減するのが必要不可欠となる。この対応としては、上述の図9に示した従来のチョッパコンパレータにおいて、CMOSインバータ103～105を構成するトランジスタ $Q_{101} \sim Q_{106}$ のゲート長 $L$ に対するゲート幅 $W$ の比 $W/L$ を小さくする方法が一般的である。

【0012】一方で、これらのトランジスタ $Q_{101} \sim Q_{106}$ のゲート長 $L$ に対するゲート幅 $W$ の比 $W/L$ は、CMOSインバータ103～105のゲインを決定している。したがって、通常は、CMOSインバータ103～105を構成するトランジスタ $Q_{101} \sim Q_{106}$ のゲート長 $L$ に対するゲート幅 $W$ の比 $W/L$ は、チョッパコンパレータに要求される変換速度に応じて決定されるものであり、その結果として、チョッパコンパレータの消費電流も決定される。このため、適正な変換速度を実現するには、CMOSインバータ103～105を構成するトランジスタ $Q_{101} \sim Q_{106}$ のゲート長 $L$ に対するゲート幅 $W$ の比 $W/L$ を最適化するすることが最善策といえる。しかしながら、多種多様な変換速度の要求の全てに対応することは不可能なため、現実的な対応として数MHz～数十MHzまでをカバーできる高速のA/Dコンバータを、消費電力を犠牲にして使用している場合が多いという問題があった。

【0013】したがって、この発明の目的は、消費電流を犠牲にすることなく、必要な変換速度を実現することができるチョッパコンパレータおよびそのようなチョッパコンパレータを用いたA/Dコンバータを提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、この発明における第1の発明は、少なくとも1段以上のCMOSインバータを有するチョッパコンパレータにおいて、CMOSインバータとCMOSインバータの電源との間にCMOSインバータを流れる電流を制御する電流制御手段が接続されていることを特徴とするものである。

【0015】この発明の第2の発明は、少なくとも1段以上のCMOSインバータを有するチョッパコンパ

レータにおいて、CMOSインバータとCMOSインバータの電源との間にCMOSインバータを構成するnチャネルMOS型電界効果トランジスタのソースおよびドレイン間の電圧をCMOSインバータの電源の電圧よりも低く制御するための手段が接続されていることを特徴とするものである。

【0016】この発明の第3の発明によるA/Dコンバータは、少なくとも1段以上のCMOSインバータを有し、CMOSインバータとCMOSインバータの電源との間にCMOSインバータを流れる電流を制御する電流制御手段が接続されたチョッパコンパレータと、外部から供給される選択信号に応じて電流制御手段を制御するための電流制御信号を発生する手段とを有することを特徴とするものである。

【0017】上述のように構成されたこの発明の第1および第3の発明によれば、CMOSインバータと、このCMOSインバータの電源との間に接続された電流制御手段により、CMOSインバータを流れる電流が制御される。これにより、チョッパコンパレータの消費電流を制御することができる。上述のように構成されたこの発明の第2の発明によれば、CMOSインバータを構成するnチャネルMOS型電界効果トランジスタのソースおよびドレイン間の電圧がCMOSインバータの電源の電圧よりも低く制御されるため、CMOSインバータを構成するnチャネルMOS型電界効果トランジスタのソースおよびドレイン間の耐圧に対するマージンが大きくなる。

【0018】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。また、この発明の第1～第5の実施形態では、フラッシュ型や2ステップ・フラッシュ型のA/Dコンバータに用いられるチョッパコンパレータについて説明する。

【0019】図1は、この発明の第1の実施形態によるチョッパコンパレータを示す回路図である。図1に示すように、このチョッパコンパレータは、アナログ入力電圧 $V_{IN}$ 用の入力端子1、基準電圧 $V_{ref}$ 用の入力端子2、3段のCMOSインバータ3～5、出力電圧 $V_{OUT}$ の出力端子6、コンデンサ $C_1$ 、 $C_2$ およびCMOSアナログスイッチからなるスイッチ $SW_1 \sim SW_4$ を有している。入力端子1、2は、スイッチ $SW_1$ 、 $SW_2$ を介してコンデンサ $C_1$ の一端と接続されている。このコンデンサ $C_1$ の他端は、CMOSインバータ3の入力端子と接続されている。CMOSインバータ3の出力端子は、コンデンサ $C_2$ を介してCMOSインバータ4の入力端子と接続されている。CMOSインバータ3の入出力端子間はスイッチ $SW_3$ を介して接続されている。同様に、CMOSインバータ4の入出力端子間はス

イッチSW4を介して接続されている。CMOSインバータ4の出力端子はCMOSインバータ5の入力端子と接続されている。CMOSインバータ5の出力端子は出力端子6と接続され、この出力端子6から出力電圧 $V_{OUT}$ が取り出される。

【0020】符号7は電源電圧 $V_{DD}$ を供給する電源、8は電源電圧 $V_{SS}$ を供給する電源を示す。また、符号 $Q_1 \sim Q_6$ は、CMOSインバータ3～5を構成するトランジスタを示す。この場合、トランジスタ $Q_1$ 、 $Q_3$ 、 $Q_5$ は負荷トランジスタとしてのpチャネルMOSFET、トランジスタ $Q_2$ 、 $Q_4$ 、 $Q_6$ はドライバトランジスタとしてのnチャネルMOSFETである。

【0021】符号 $Q_7 \sim Q_{14}$ は、スイッチSW1～SW4を構成するトランジスタを示す。これらのトランジスタ $Q_7 \sim Q_{14}$ には、クロック信号CKまたは反転クロック信号CKバーが供給され、これにより、スイッチSW1～SW4の開閉が制御される。この場合、スイッチSW1、SW3、SW4は、クロック信号CKがハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。一方、スイッチSW2は、クロック信号CKがローレベルの期間にオン状態となり、ハイレベルの期間にオフ状態となる。

【0022】このチョッパコンパレータは、従来のチョッパコンパレータと同様な上述の構成に加えて、CMOSインバータ3～5を流れる電流を制御するための電流制御トランジスタ $Q_{15} \sim Q_{17}$ と、出力端子6の出力を制御するための出力制御トランジスタ $Q_{18}$ と、外部から供給される制御信号 $V_C$ 用の制御端子9とを有している。

【0023】この場合、電流制御トランジスタ $Q_{15} \sim Q_{17}$ としてはpチャネルMOSFETが用いられる。これらの電流制御トランジスタ $Q_{15} \sim Q_{17}$ はCMOSインバータ3～5と、電源電圧 $V_{DD}$ を供給する電源7との間に接続されている。これらの電流制御トランジスタ $Q_{15} \sim Q_{17}$ のゲートには、制御端子9からの制御信号 $V_C$ が供給される。ここで、制御信号 $V_C$ は、その電圧に応じて電流制御トランジスタ $Q_{15} \sim Q_{17}$ のスイッチングを制御することにより、CMOSインバータ3～5を流れる電流を制御するためのものである。この場合、制御信号 $V_C$ としては、例えば、0[V]、 $V_{DD} - (V_{thp} + \alpha)$  [V]、 $V_{DD}$  [V]の3段階の異なる電圧が用いられる。ただし、 $V_{thp}$ は、電流制御トランジスタ $Q_{15} \sim Q_{17}$ のしきい値電圧である。ここで、0[V]はしきい値電圧 $V_{thp}$ よりも十分に低い電圧、 $V_{DD} - (V_{thp} + \alpha)$  [V]は0[V]よりも高く、しきい値電圧 $V_{thp}$ よりも低い電圧、 $V_{DD}$ はしきい値電圧 $V_{thp}$ よりも十分に高い電圧となっている。

【0024】したがって、制御信号 $V_C = 0$ とした場合、電流制御トランジスタ $Q_{15} \sim Q_{17}$ は完全にオン状態となり、これらの電流制御トランジスタ $Q_{15} \sim Q_{17}$ を通

してCMOSインバータ3～5を流れる電流は最大となる。また、制御信号 $V_C = V_{DD} - (V_{thp} + \alpha)$  [V]とした場合、電流制御トランジスタ $Q_{15} \sim Q_{17}$ はオン状態となるが、これらの電流制御トランジスタ $Q_{15} \sim Q_{17}$ を通してCMOSインバータ3～5を流れる電流は、制御信号 $V_C = 0$  [V]の場合と比べて減少する。一方、制御信号 $V_C = V_{DD}$  [V]とした場合、電流制御トランジスタ $Q_{15} \sim Q_{17}$ が完全にオフ状態となり、CMOSインバータ3～5には電流が流れない。

【0025】出力制御トランジスタ $Q_{18}$ としてはnチャネルMOSFETが用いられる。この出力制御トランジスタ $Q_{18}$ は最終段のCMOSインバータ5の出力端子、したがって、このチョッパコンパレータの出力端子6と、電源電圧 $V_{SS}$ を供給する電源8との間に接続されている。この出力制御トランジスタ $Q_{18}$ のゲートには、外部からの制御信号STBが供給される。ここで、制御信号STBは、その電圧に応じて出力制御トランジスタ $Q_{18}$ のスイッチングを制御することにより、このチョッパコンパレータの出力を制御するためのものである。この制御信号STBとしては、ハイレベルおよびローレベルに対応した2段階の電圧が選ばれる。ここで、制御信号STBをハイレベルとした場合、出力制御トランジスタ $Q_{18}$ はオン状態となり、出力端子6の電圧は電源電圧 $V_{SS}$ に固定される。また、制御信号STBをローレベルとした場合、出力制御トランジスタ $Q_{18}$ はオフ状態となり、出力端子6の電圧はCMOSインバータ5からの出力信号 $V_{OUT}$ の電圧となる。

【0026】上述のように構成されたこのチョッパコンパレータは、外部から供給される制御信号 $V_C$ に応じて動作モードが通常動作モード、低消費電流動作モードおよびスタンバイモードに切り換えられる。このチョッパコンパレータは、制御信号 $V_C = 0$  [V]とした場合に通常動作モードとなり、制御信号 $V_C = V_{DD} - (V_{thp} + \alpha)$  [V]とした場合に低消費電流動作モードとなる。これらの通常動作モードおよび低消費電流動作モードの場合には、外部から供給される出力制御用の制御信号STBはローレベルにされる。また、制御信号 $V_C = V_{DD}$  [V]とした場合にはスタンバイモードとなる。このスタンバイモードの場合には、制御信号STBはハイレベルにされる。

【0027】ここで、このチョッパコンパレータの通常動作モードにおける動作について説明する。この通常動作モードの場合、クロック信号CKがハイレベルになると、スイッチSW1、SW3、SW4がオン状態、スイッチSW2がオフ状態となる。この期間は、入力端子1からのアナログ入力電圧 $V_{IN}$ がコンデンサ $C_1$ に供給されてサンプリングされるとともに、CMOSインバータ3、4の自己オフセットキャンセルが行なわれる。このサンプリング期間は、CMOSインバータ3～5を所定の動作電流 $I_1 \sim I_3$ が流れる。このときの動作電流

$I_1 \sim I_3$  は、CMOSインバータ3～5の入出力端子が等電位となるときに、これらのCMOSインバータ3～5を流れる直流電流に相当する。また、この通常動作モードでは、サンプリング期間におけるCMOSインバータ3～5の動作電流  $I_1 \sim I_3$  が最大となる。

【0028】次に、クロック信号CKがローレベルになると、スイッチSW1, SW3, SW4がオフ状態、スイッチSW2がオン状態となる。この期間は、入力端子2からの基準電圧  $V_{ref}$  がコンデンサ  $C_1$  に供給され、さきにサンプリングされたアナログ入力電圧  $V_{IN}$  と基準電圧  $V_{ref}$  との大小が比較される。このコンデンサ  $C_1$  に加わる電圧は、CMOSインバータ3により反転され、さらに、CMOSインバータ3の出力がCMOSインバータ4, 5により増幅されて、出力端子6から出力電圧  $V_{OUT}$  として出力される。この場合、 $V_{IN} \geq V_{ref}$  なら、「1」に対応した出力電圧  $V_{OUT}$  が出力され、 $V_{IN} < V_{ref}$  なら、「0」に対応した出力電圧  $V_{OUT}$  が出力される。この比較期間は、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$  はほぼゼロとなる。以下、クロック信号CKとともに、上述のサンプリング動作および比較動作が繰り返される。

【0029】このチョッパコンパレータの低消費電流動作モードにおける動作についても、上述の通常動作モードにおける動作と同様である。ただし、この低消費電流動作モードの場合、電流制御トランジスタ  $Q_{15} \sim Q_{17}$  を通してCMOSインバータ3～5を流れる動作電流  $I_1 \sim I_3$  は、制御信号  $V_C = 0$  [V] の場合と比べて減少する。また、この場合には、 $\alpha$  の値に応じてCMOSインバータ3～5に所望の動作電流  $I_1 \sim I_3$  を流すことができる。

【0030】一方、このチョッパコンパレータのスタンバイモードにおいては、電流制御トランジスタ  $Q_{15} \sim Q_{17}$  がオフ状態となっているため、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$  はゼロとなる。このスタンバイモードの場合、このチョッパコンパレータはコンパレータとして動作しない。また、この場合、出力制御トランジスタ  $Q_{18}$  がオン状態となるため、出力端子6の電圧は電源電圧  $V_{SS}$  に固定される。

【0031】図2は、このチョッパコンパレータの動作に伴う消費電流を示す略線図である。ここで、図2Aはクロック信号CKの波形を示し、図2Bは消費電流の波形を示す。また、図2B中、実線は制御信号  $V_C = 0$  [V] とした通常動作モードの場合、鎖線は制御信号  $V_C = V_{DD} - (V_{thp} + \alpha)$  [V] とした低消費電流動作モードの場合、一点鎖線は制御信号  $V_C = V_{DD}$  [V] としたスタンバイモードの場合の消費電流を示す。このチョッパコンパレータにおいては、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$  以外に、ほとんど電流が消費されない。このため、このチョッパコンパレータの消費電流は、CMOSインバータ3～5の動作電流  $I_1$

$\sim I_3$  の合計  $I_1 + I_2 + I_3$  となる。

【0032】ただし、このチョッパコンパレータでは、図2に示すように、制御信号  $V_C = 0$  [V] とした通常動作モードの場合、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$  が最大となるため、チョッパコンパレータの消費電流が最大となる。この場合、チョッパコンパレータの変換速度は最高速となり、このチョッパコンパレータの最大能力が引き出される。また、制御信号  $V_C = V_{DD} - (V_{thp} + \alpha)$  [V] とした低消費電流動作モードの場合は、通常動作モードに比べてチョッパコンパレータの消費電流が抑えられる。この場合、このチョッパコンパレータは、通常動作モードに比べて低速の変換速度で動作する。また、この低消費電流動作モードでは、制御信号  $V_C$  の  $\alpha$  の値により、チョッパコンパレータの消費電流およびチョッパコンパレータの変換速度が所望の値に決定される。一方、制御信号  $V_C = V_{DD}$  [V] としたスタンバイモードの場合は、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$  がほとんどゼロとなるので、チョッパコンパレータの消費電流はほとんどゼロとなる。

【0033】上述のように構成されたこのチョッパコンパレータによれば、CMOSインバータ3～5と電源電圧  $V_{DD}$  を供給する電源7との間に電流制御トランジスタ  $Q_{15} \sim Q_{17}$  が接続され、かつ、これらの電流制御トランジスタ  $Q_{15} \sim Q_{17}$  は、外部から供給される制御信号  $V_C$  に応じてCMOSインバータ3～5を流れる電流が制御されるので、次のような効果を得ることができる。

【0034】すなわち、制御信号  $V_C$  に応じて、CMOSインバータ3～5の動作電流  $I_1 \sim I_3$ 、したがって、このチョッパコンパレータの消費電流を制御することができる。このように、チョッパコンパレータの消費電流を制御することが可能となることで、このチョッパコンパレータを高速域で使用する場合には消費電流を増加させ、低速域で使用する場合には消費電流を減少させて対応することが可能となり、最適なパワーマネジメントを実現することができる。

【0035】また、このチョッパコンパレータによれば、CMOSインバータ3～5と電源電圧  $V_{DD}$  を供給する電源7との間に接続された電流制御トランジスタ  $Q_{15} \sim Q_{17}$  により、制御信号  $V_C$  に応じて、CMOSインバータ3～5を構成するトランジスタ  $Q_2, Q_4, Q_6$  (nチャネルMOSFETからなるドライバトランジスタ) のソースドレイン間の電圧を電源電圧  $V_{DD}$  よりも低下させることができる。したがって、これらのトランジスタ  $Q_2, Q_4, Q_6$  のソースドレイン間の耐圧のマージンを大きくすることができる。

【0036】図3は、この発明の第2の実施形態によるチョッパコンパレータを示す回路図である。図3に示すように、このチョッパコンパレータにおいては、pチャネルMOSFETからなる電流制御トランジスタ  $Q$

15～Q17の代わりに、nチャネルMOSFETからなる電流制御トランジスタQ19～Q21が用いられる。この場合、これらの電流制御トランジスタQ19～Q21は、CMOSインバータ3～5と、電源電圧 $V_{SS}$ を供給する電源8との間に接続されている。また、これらの電流制御トランジスタQ19～Q21のゲートには、制御端子9からの制御信号 $V_C$ が供給される。

【0037】また、nチャネルMOSFETからなる出力制御トランジスタQ18の代わりに、pチャネルMOSFETからなる出力制御トランジスタQ22が用いられる。この場合、この出力制御トランジスタQ22は、出力端子6と、電源電圧 $V_{DD}$ を供給する電源7との間に接続されている。また、この出力制御トランジスタQ22のゲートには、制御信号STBの反転信号、すなわち、制御信号STBバーが供給される。

【0038】このチョッパコンパレータにおいては、電流制御トランジスタQ19～Q21のチャネルの導電型が、第1の実施形態と反対導電型であるので、CMOSインバータ3～5の動作電流 $I_1 \sim I_3$ を制御するための制御信号 $V_C$ が、第1の実施形態の場合と異なる。すなわち、通常動作モードとする場合には制御信号 $V_C = V_{DD}$ とし、低消費電流動作モードとする場合には、制御信号 $V_C$ を電流制御トランジスタQ19～Q21のしきい値電圧 $V_{thn}$ 以上の所定の電圧とする。また、待機モードとする場合には、制御信号 $V_C = 0$  [V]とする。その他のことは、第1の実施形態によるチョッパコンパレータと同様であるので、説明を省略する。この第2の実施形態によれば、第1の実施形態と同様な効果が得られる。

【0039】図4は、この発明の第3の実施形態によるチョッパコンパレータを示す回路図である。図4に示すように、このチョッパコンパレータにおいては、電流制御トランジスタQ15～Q17に代えて、pチャネルMOSFETからなる第1の電流制御トランジスタQ23～Q25および第2の電流制御トランジスタQ26～Q28を有している。ここで、第1の電流制御トランジスタQ23および第2の電流制御トランジスタQ26は、CMOSインバータ3と電源電圧 $V_{DD}$ を供給する電源7との間に互いに並列に接続されている。同様に、第1の電流制御トランジスタQ24および第2の電流制御トランジスタQ27は、CMOSインバータ4と電源電圧 $V_{DD}$ を供給する電源7との間に互いに並列に接続され、第1の電流制御トランジスタQ25および第2の電流制御トランジスタQ28は、CMOSインバータ5と電源電圧 $V_{DD}$ を供給する電源7との間に互いに並列に接続されている。

【0040】また、外部から供給される制御信号 $V_C$ 用の制御端子9に代えて、外部から供給される制御信号 $V_{C1}$ 用の制御端子10および制御信号 $V_{C2}$ 用の制御端子11を有している。制御端子10からの制御信号 $V_{C1}$ は、第1の電流制御トランジスタQ23～Q25のゲートに供給

される。また、制御端子11からの制御信号 $V_{C2}$ は、第2の電流制御トランジスタQ26～Q28のゲートに供給される。

【0041】このチョッパコンパレータにおいては、制御信号 $V_{C1}$ または制御信号 $V_{C2}$ のいずれか一方を選択することにより、第1の電流制御トランジスタQ23～Q25または第2の電流制御トランジスタQ26～Q28のいずれか一方を用いて、動作モードが制御される。この場合、制御信号 $V_{C1}$ および制御信号 $V_{C2}$ を互いに異なる所望の電圧に設定し、必要に応じていずれか一方の制御信号 $V_{C1}$ または制御信号 $V_{C2}$ を用いることにより、低消費電流動作モードを切り換えることができる。これにより、このチョッパコンパレータを低消費電流動作モードで動作させる場合には、第1の電流制御トランジスタQ23～Q25を用いた場合と、第2の電流制御トランジスタQ26～Q28を用いた場合とで、互いに異なる変換速度で動作させることができる。

【0042】その他のことは、第1の実施形態によるチョッパコンパレータと同様に構成されているので、説明を省略する。この第3の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0043】図5は、この発明の第4の実施形態によるチョッパコンパレータを示す回路図である。図5に示すように、このチョッパコンパレータは、NORゲート12およびインバータ13をさらに有する。NORゲート12の一方の入力端子には外部からの制御信号STBが供給され、他方の入力端子にはクロック信号CKが供給される。また、このNORゲート12の出力端子は、インバータ13を介して電流制御トランジスタQ17のゲートに接続されているとともに、出力制御トランジスタQ18のゲートに接続されている。ここで、電流制御トランジスタQ17が接続された最終段のCMOSインバータ5は、サンプリング期間に自己オフセットキャンセルが行なわれないCMOSインバータである。

【0044】このチョッパコンパレータでは、制御信号STBおよび/またはクロック信号CKがハイレベルとなると、NORゲート12の出力はローレベルとなり、したがって、インバータ13の出力はハイレベルとなる。このため、クロック信号CKがハイレベルとなるサンプリング期間、いかえれば、CMOSインバータ3、4において自己オフセットキャンセルが行なわれている期間に、電流制御トランジスタQ17がオフ状態となって、自己オフセットキャンセルが行なわれないCMOSインバータ5には動作電流 $I_3$ が流れないようにしている。その他のことは第1の実施形態によるチョッパコンパレータと同様であるので、説明を省略する。この第4の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0045】図6は、この発明の第5の実施形態によるチョッパコンパレータを示す回路図である。図6に示

すように、このチョッパコンパレータは、CMOSインバータ4の出力端子とCMOSインバータ5の入力端子との間に、CMOSアナログスイッチからなるスイッチSW5を有している。Q<sub>29</sub>、Q<sub>28</sub>は、スイッチSW5を構成するトランジスタを示す。また、CMOSインバータ5の入力端子と電源電圧V<sub>SS</sub>を供給する電源8との間に、nチャネルMOSFETからなるトランジスタQ<sub>31</sub>を有している。この場合、スイッチSW5を構成するトランジスタQ<sub>29</sub>、Q<sub>30</sub>のうち、トランジスタQ<sub>29</sub>のゲートはスイッチSW4のトランジスタQ<sub>14</sub>のゲートと接続され、トランジスタQ<sub>30</sub>はスイッチSW4のトランジスタQ<sub>13</sub>のゲートと接続されている。また、トランジスタQ<sub>31</sub>のゲートは、スイッチSW5のトランジスタQ<sub>29</sub>のゲートと接続されている。

【0046】このチョッパコンパレータでは、クロック信号CKがハイレベルとなると、スイッチSW5はオフ状態となり、トランジスタQ<sub>31</sub>はオン状態となる。このため、クロック信号CKがハイレベルとなるサンプリング期間、いいかえれば、CMOSインバータ3、4において自己オフセットキャンセルが行なわれている期間に、自己オフセットキャンセルが行なわれないCMOSインバータ5の入力端子の電圧は電源電圧V<sub>SS</sub>となつて、このCMOSインバータ5には動作電流I<sub>3</sub>が流れないようにになっている。その他のことは第1の実施形態によるチョッパコンパレータと同様であるので、説明を省略する。この第5の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0047】次に、この発明の第6の実施形態によるA/Dコンバータについて説明する。図7は、この第6の実施形態によるA/Dコンバータを示すブロック図である。ここでは、この発明を8ビットの2ステップ・フラッシュ型のA/Dコンバータに適用した場合について説明する。図7に示すように、このA/Dコンバータは、上位4ビット用コンパレータ回路21、下位4ビット用コンパレータ回路22、23、基準電圧発生回路24、上位4ビット用ラッチ回路25および下位4ビット用ラッチ回路26を有している。ここで、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23は基準電圧発生回路24と接続されている。また、上位4ビット用コンパレータ回路21は上位4ビット用ラッチ回路25と接続され、下位4ビット用コンパレータ回路22、23は下位4ビット用ラッチ回路26と接続されている。

【0048】上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23には、外部からアナログ入力電圧V<sub>IN</sub>が入力される。基準電圧発生回路24には、外部から基準電圧V<sub>refT</sub>および基準電圧V<sub>refB</sub>が印加される。ここで、基準電圧V<sub>refT</sub>は量子化レベルの最上位ビットの電圧に対応し、基準電圧V<sub>refB</sub>は量子化レベルの最下位ビットの電圧に対応する。

この基準電圧発生回路24は、これらの基準電圧V<sub>refT</sub>および基準電圧V<sub>refB</sub>間を抵抗列（図示せず）を用いて分圧することにより、量子化レベルに対応した基準電圧V<sub>ref</sub>を生成する。この基準電圧発生回路24からの基準電圧V<sub>ref</sub>は、上位4ビット用のコンパレータ回路21および下位4ビット用のコンパレータ回路22、23に供給される。

【0049】ここで、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23は、それぞれ4ビットのA/D変換を行なうために、量子化レベルに対応した2<sup>4</sup> - 1 = 15個のチョッパコンパレータにより構成されている。また、これらの上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23は、必要に応じて補助用のチョッパコンパレータを有している。したがって、実際には、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23に対して外部から供給されるアナログ入力電圧V<sub>IN</sub>は、これらを構成するすべてのチョッパコンパレータに並列に入力され、基準電圧発生回路24から供給される量子化レベルに対応した基準電圧V<sub>ref</sub>は、それぞれ対応したチョッパコンパレータに入力される。この場合、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成するチョッパコンパレータとしては、上述の第1～第5の実施形態によるチョッパコンパレータのいずれを用いてもよい。

【0050】このA/Dコンバータにおいて、入力されたアナログ入力電圧V<sub>IN</sub>は、上位4ビットの変換および下位4ビットの変換の2ステップに分けて8ビットのデジタル信号D<sub>0</sub>～D<sub>7</sub>にA/D変換される。すなわち、第1ステップでは、上位4ビット用コンパレータ回路21において、各チョッパコンパレータによりアナログ入力電圧V<sub>IN</sub>および基準電圧V<sub>ref</sub>の大小が比較され、第2ステップでは、下位4ビット用コンパレータ回路22または下位4ビット用コンパレータ回路23において、各チョッパコンパレータによりアナログ入力電圧V<sub>IN</sub>および基準電圧V<sub>ref</sub>の大小が比較される。ここで、このA/Dコンバータにおいては、1組の上位4ビット用コンパレータ回路21に対して、2組の下位4ビット用コンパレータ回路22、23は交互に動作（インターリーブ動作）する。また、上位4ビット用コンパレータ回路21の出力結果に応じて、下位4ビット用コンパレータ回路22、23に供給される基準電圧V<sub>ref</sub>のレベルが切り替えられる。

【0051】上位4ビット用コンパレータ回路21からの上位4ビットのデジタル出力D<sub>04</sub>～D<sub>07</sub>は、上位4ビット用ラッチ回路25に供給され、下位4ビット用コンパレータ回路22、23からの下位4ビットのデジタル出力D<sub>00</sub>～D<sub>03</sub>は、下位4ビット用ラッチ回路26に供給される。これらの上位4ビット用ラッチ



回路25の上位4ビットのデジタル出力 $DO_4 \sim DO_7$ および下位4ビット用ラッチ回路26の下位4ビットのデジタル出力 $DO_0 \sim DO_3$ は所定のタイミングで読み出され、入力されたアナログ入力電圧 $V_{IN}$ に対応した8ビットのデジタル出力 $DO_0 \sim DO_7$ が得られる。ここで、XOEは、ラッチ回路25、26の出力を許可するために外部から供給されるイネーブル信号である。

【0052】符号27は、上述の上位4ビット用コンパレータ回路21、下位4ビット用コンパレータ回路22、23、基準電圧発生回路24、上位4ビット用ラッチ回路25および下位4ビット用26に対して、動作の基準となるクロック信号CKを供給するクロック信号発生回路を示す。このクロック信号発生回路27は外部からの信号をもとに各種の内部クロックを生成しクロック信号CKを発生する。

【0053】このA/Dコンバータは、上述の構成に加えて、上位4ビット用コンパレータ回路21、下位4ビット用コンパレータ回路22、23およびクロック信号発生回路27と接続された消費電流コントローラ28を有している。この消費電流コントローラ28は、外部から供給される制御信号PSおよび制御信号STBに応じて制御信号 $V_C$ を発生し、この制御信号 $V_C$ を上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23に供給するとともに、制御信号STBを上位4ビット用コンパレータ回路21、下位4ビット用コンパレータ回路22、23およびクロック信号発生回路27に供給する。ここで、制御信号PSは、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23の消費電流を選択するための制御信号である。また、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成するチョッパコンパレータとして、第1の実施形態によるチョッパコンパレータが用いられる場合には、消費電流コントローラ28からの制御信号 $V_C$ は制御信号 $V_C$ 用の制御端子9に供給され、制御信号STBは出力制御トランジスタ $Q_{18}$ のゲートに供給される。

【0054】図8は、この消費電流コントローラ28の構成例を示す回路図である。図8に示すように、この消

費電流コントローラ28は、NORゲート31、32、インバータ33～35、トランジスタ $Q_{41} \sim Q_{46}$ および抵抗36により構成されている。NORゲート31には制御信号STBが入力されるとともに、制御信号PSがインバータ33を介して入力される。また、NORゲート32には制御信号STBおよび制御信号PSが入力され、インバータ34には制御信号STBが入力される。

【0055】トランジスタ $Q_{41}$ 、 $Q_{42}$ はpチャネルMOSFETからなり、これらのソースは電源電圧 $V_{DD}$ を供給する電源に接続されている。トランジスタ $Q_{43}$ 、 $Q_{44}$ はnチャネルMOSFETからなり、これらのソースは電源電圧 $V_{SS}$ を供給する電源に接続されている。また、pチャネルMOSFETからなるトランジスタ $Q_{45}$ およびnチャネルMOSFETからなるトランジスタ $Q_{46}$ は、CMOSアナログスイッチを構成している。制御信号 $V_C$ が出力される共通のノードには、トランジスタ $Q_{31}$ のドレインがトランジスタ $Q_{45}$ 、 $Q_{46}$ からなるCMOSアナログスイッチを介して接続されているとともに、トランジスタ $Q_{42}$ のドレインが接続されている。また、この共通のノードには、トランジスタ $Q_{43}$ のドレインが接続されているとともに、トランジスタ $Q_{44}$ のドレインが抵抗36を介して接続されている。この消費電流コントローラ28からの制御信号 $V_C$ は、図1に示したチョッパコンパレータの制御信号 $V_C$ 用の制御端子9に供給される。

【0056】上述の消費電流コントローラ28において、NORゲート31の出力 $S_1$ はトランジスタ $Q_{41}$ のゲートに供給され、NORゲート32の出力 $S_2$ はトランジスタ $Q_{43}$ に供給される。また、このNORゲート32の出力 $S_2$ は、アナログスイッチの一方を構成するトランジスタ $Q_{45}$ のゲートに供給されるとともに、インバータ35を介してCMOSアナログスイッチの他方を構成するトランジスタ $Q_{46}$ のゲートに供給される。インバータ34の出力 $S_3$ はトランジスタ $Q_{44}$ のゲートに供給される。トランジスタ $Q_{42}$ のゲートにはトランジスタ $Q_{41}$ のドレインが接続されている。したがって、この消費電流コントローラ28は、外部から供給される制御信号STBおよび制御信号PSに応じて、表1に示すような制御信号 $V_C$ を出力する。

【0057】

表1

STB	PS	制御信号 $V_C$ (V)	動作モード
H	H	$V_{DD}$	スタンバイ
H	L	$V_{DD}$	スタンバイ
L	H	$V_{DD} - (V_{thp} + \alpha)$	低消費電流動作
L	L	0	通常動作

【0058】すなわち、表1に示すように、制御信号STBがハイレベルの場合、制御信号PSによらず、制御信号 $V_C$ の電圧は $V_{DD}$ 〔V〕となる。この場合、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成する各チョッパコンパレータはスタンバイモードにされ、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23の消費電流はゼロとなる。また、この場合、クロック信号発生回路27からのクロック信号CKの供給も停止される。これにより、このA/Dコンバータは動作が停止される。

【0059】制御信号STBがローレベルで制御信号PSがハイレベルの場合、制御信号 $V_C$ の電圧は $V_{DD} - (V_{thp} + \alpha)$ 〔V〕となる。この場合、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成する各チョッパコンパレータは、低消費電流動作モードで動作し、これらの上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23の消費電流がセーブされる。これにより、このA/Dコンバータの変換速度は低速にされる。

【0060】制御信号STBがローレベルで制御信号PSがローレベルの場合、制御信号 $V_C$ の電圧は0〔V〕となる。この場合、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成する各チョッパコンパレータは、通常動作モードで動作し、これらの上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23の消費電流は最大となる。これにより、このA/Dコンバータの変換速度は高速にされ、このA/Dコンバータの最大能力が発揮される。

【0061】上述のように構成されたこのA/Dコンバータによれば、次のような効果を得ることができる。すなわち、上位4ビット用コンパレータ回路21および下位4ビット用コンパレータ回路22、23を構成する各チョッパコンパレータの消費電流を制御することにより、これらのチョッパコンパレータの変換速度を制御することができる。したがって、このA/Dコンバータ

は、2段階の異なる変換速度を設定することができるので、従来、2種類のA/Dコンバータで対応していたものが、1種類のA/Dコンバータで対応することができる。

【0062】また、このA/Dコンバータをマイコンなどの汎用性の高いLSIに内蔵する場合には、このA/Dコンバータに対する変換速度の要求によって、消費電流を設定することが可能となる。また、このA/Dコンバータが複数の入力チャネルを有し、これらの複数の入力チャネルを時分割で切り替えている場合には、各入力チャネルの変換速度に応じて最適な消費電流を選択することができるとともに、このA/Dコンバータを使用しない期間は消費電流をゼロとすることができる。これにより、このA/Dコンバータの動作モードに応じて、最適なパワーマネジメントを実現できる。

【0063】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えば、上述の第1～第5の実施形態によるチョッパコンパレータは、3段以下のCMOSインバータにより構成されたものであってもよいし、3段以上のCMOSインバータにより構成されたものであってもよい。

【0064】また、上述の第4の実施形態において、NORゲート12およびインバータ13は、チョッパコンパレータ毎に設けてもよいし、場合によっては、複数のチョッパコンパレータで共用してもよい。

【0065】また、例えば、第6の実施形態において、A/Dコンバータはフラッシュ型のA/Dコンバータであってもよい。

【0066】

【発明の効果】以上説明したように、この発明によれば、チョッパコンパレータを構成するCMOSインバータとCMOSインバータの電源との間に接続された電流制御手段により、CMOSインバータを流れる電流が制御される。このため、消費電流を犠牲にすることなく、必要な変換速度を実現することができるチョッパコンパレータおよびそのようなチョッパコンパレータ

を用いたA/Dコンバータを得ることができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態によるチョッパコンパレータを示す回路図である。

【図2】 この発明の第1の実施形態によるチョッパコンパレータの消費電流を示す略線図である。

【図3】 この発明の第2の実施形態によるチョッパコンパレータを示す回路図である。

【図4】 この発明の第3の実施形態によるチョッパコンパレータを示す回路図である。

【図5】 この発明の第4の実施形態によるチョッパコンパレータを示す回路図である。

【図6】 この発明の第5の実施形態によるチョッパコンパレータを示す回路図である。

【図7】 この発明の第6の実施形態による2ステップフラッシュ型のA/Dコンバータの一例を示すブロック図である。

【図8】 この発明の第6の実施形態によるA/Dコンバータのコントローラの一例を示す回路図である。

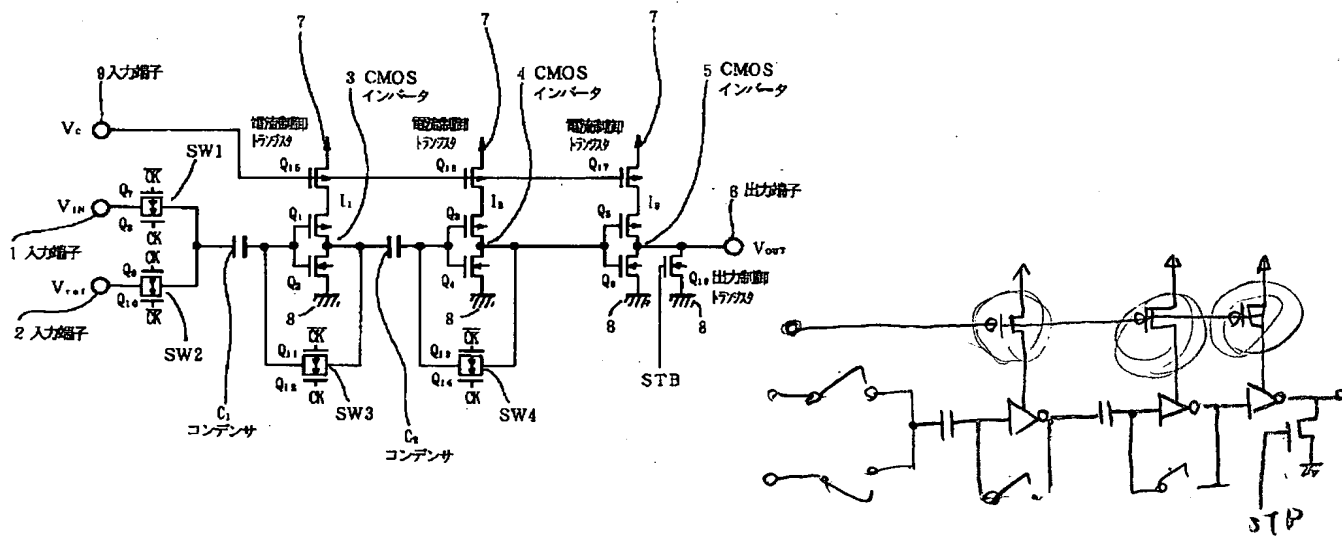
【図9】 従来のチョッパコンパレータを示す回路図である。

【図10】 従来のチョッパコンパレータの消費電流を示す略線図である。

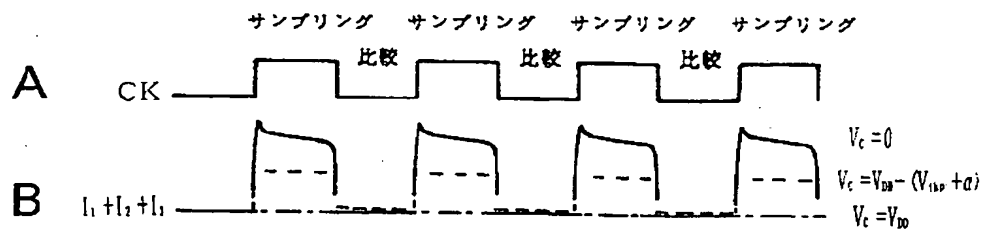
【符号の説明】

1, 2・・・入力端子、3～5・・・CMOSインバータ、6・・・出力端子、9～12・・・制御端子、21・・・上位4ビット用コンパレータ回路、22, 23・・・下位4ビット用コンパレータ回路、24・・・基準電圧発生回路、25・・・上位4ビット用ラッチ回路、26・・・下位4ビット用ラッチ回路、27・・・クロック信号発生回路、28・・・消費電流コントローラ、 $Q_1 \sim Q_{31}$ ,  $Q_{41} \sim Q_{46}$ ・・・トランジスタ、 $V_{IN}$ ・・・アナログ入力電圧、 $V_{ref}$ ・・・基準電圧、 $V_c$ ,  $V_{c1}$ ,  $V_{c2}$ , STB, PS・・・制御信号

【図1】

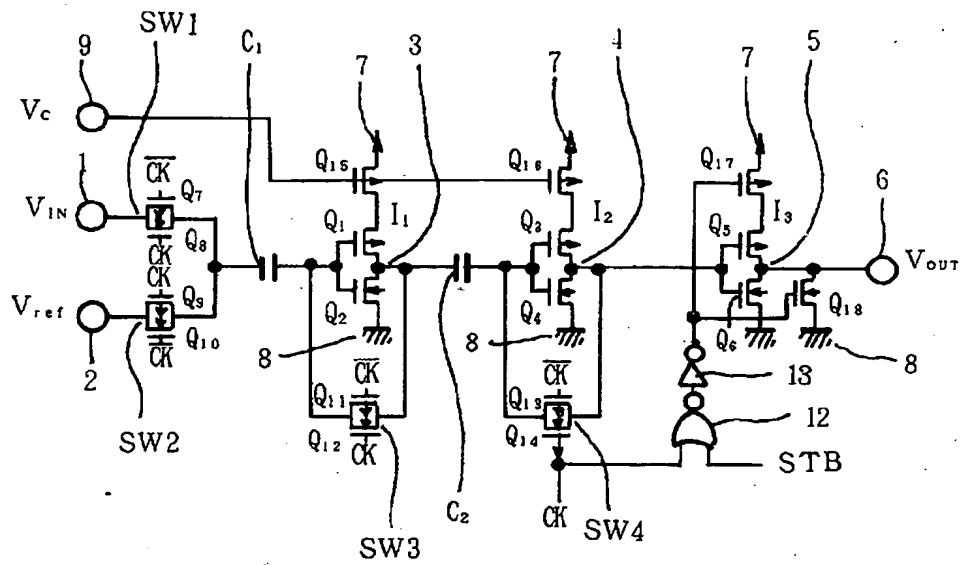


【図2】

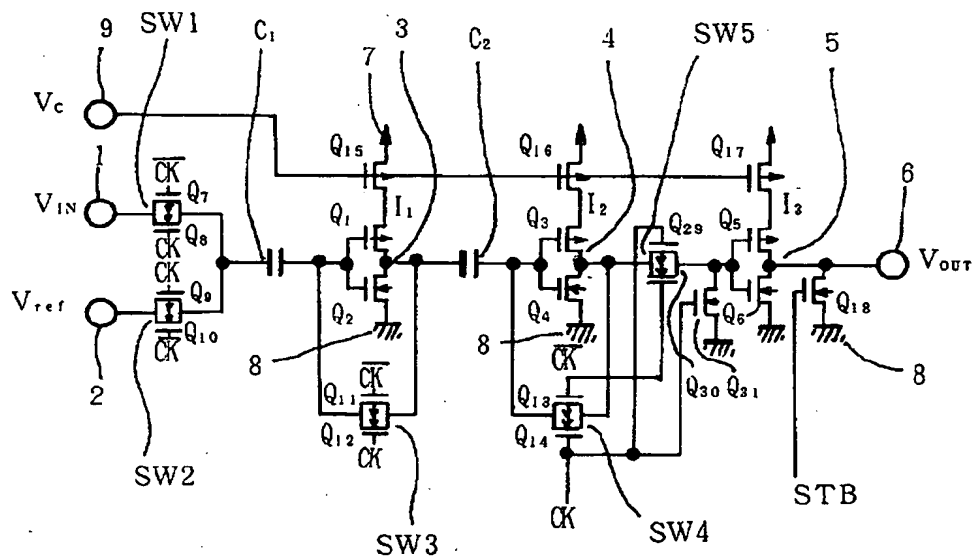




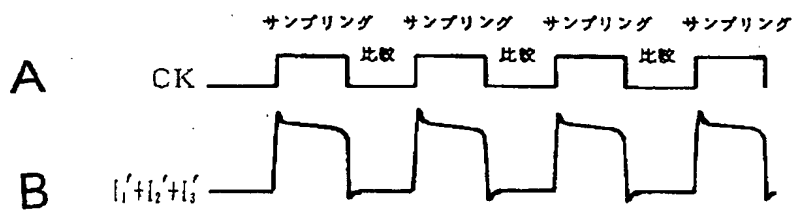
【図5】



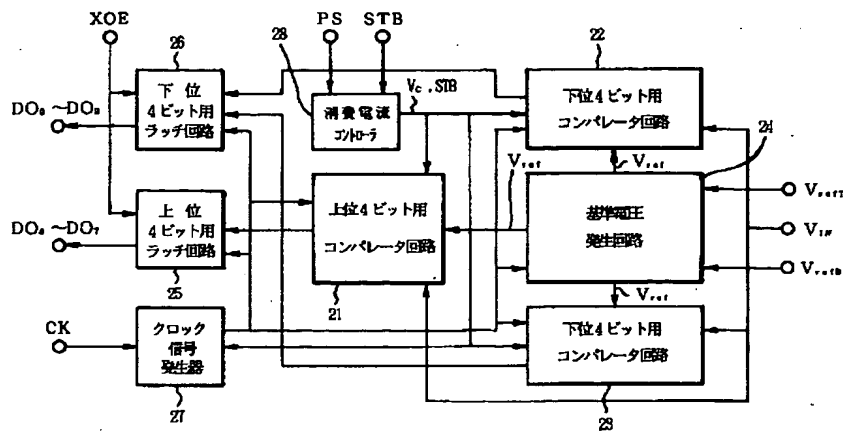
【図6】



【図10】



【図7】



【図9】

